

Docket No.: MUH-12819

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: November 4, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/675,758
Applicant : Frank Pfirsch
Filed : September 30, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : MUH-12819
Customer No.: 24131

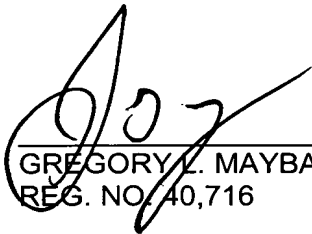
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 550.3 filed September 30, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: November 4, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 45 550.3

Anmeldetag: 30. September 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Kompensationsbauelement und Verfahren zu dessen
Herstellung

IPC: H 01 L 29/06

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 02. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12294

Ko/mk

Anmelderzeichen: 2002P11631 DE
(2002 E 11630 DE)

30.09.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

**Kompensationsbauelement und
Verfahren zu dessen Herstellung**

Beschreibung

Kompensationsbauelement und Verfahren zu dessen Herstellung

5 Die vorliegende Erfindung betrifft ein Kompensationsbauelement mit einer in einem Halbleiterkörper zwischen zwei aktiven Zonen vorgesehenen Driftstrecke, bestehend aus einer gestapelten Schichtenfolge aus Gebieten des einen oder des anderen Leistungstyps, die einen lateralen Abschnitt und
10 wenigstens einen in Richtung zur Oberfläche des Halbleiterkörpers geführten und an ein Ende des lateralen Abschnitts angrenzenden schrägen Abschnitt haben. Außerdem betrifft die Erfindung ein Verfahren zum Herstellen eines derartigen Kompensationsbauelementes.

15 Bei Kompensationsbauelementen sind die in Stromflussrichtung in der Driftstrecke angeordneten n- und p-leitenden Gebiete so hoch dotiert, dass im Sperrfall die gesamte Driftstrecke an Ladungen ausgeräumt ist. Im Durchlassfall tragen die n- und p-leitenden Gebiete aber deutlich höher als bei herkömmlichen Bauelementen Gebiete des einen Leitungstyps, also beispielsweise n-leitende Gebiete, zum Stromfluss bei. Damit haben Kompensationsbauelemente bei hoher Sperrfähigkeit einen kleinen Einschaltwiderstand R_{on} .

25 Bekanntlich lassen sich nun Kompensationsbauelemente sowohl als Vertikalbauelemente (vgl. hierzu US 5 216 275) als auch als Lateralbauelemente (vgl. hierzu US 4 754 310) konzipieren. Bei Vertikalbauelementen befinden sich beispielsweise
30 eine Sourceelektrode und eine Gateelektrode auf einer Oberseite eines Halbleiterkörpers, während eine Drainelektrode auf der zu dieser Oberseite gegenüberliegenden Unterseite des Halbleiterkörpers angebracht ist. Die Kompensationsgebiete sind dann n- und p-leitende Schichten, auch Säulen genannt,
35 die sich einander abwechselnd im Innern des Halbleiterkörpers in der Richtung zwischen Source und Drain erstrecken.

Bei Lateralbauelementen können in einem Halbleiterkörper zwei V-förmige Gräben oder Trenches eingebracht sein, von denen ein Trench die Sourceelektrode und die Gateelektrode aufnimmt, während der andere Trench für die Drainelektrode vorgesehen ist. Die Kompensationsgebiete sind hier als übereinander gelagerte und einander abwechselnde n- und p-leitende Schichten im Bereich des Halbleiterkörpers zwischen den beiden Trenchen vorgesehen.

Für die Herstellung von Kompensationsbauelementen haben solche mit Vertikalstrukturen und solche mit Lateralstrukturen jeweils ihre eigenen Vorteile und Nachteile: bei Vertikalstrukturen können die Sourceelektrode und die Drainelektrode auf den einander gegenüberliegenden Oberflächen des Halbleiterkörpers erheblich einfacher hergestellt werden als Sourceelektrode und Drainelektrode in Lateralstrukturen. Jedoch ist bei Vertikalstrukturen die Erzeugung der die Sperrspannung aufnehmenden Driftstrecke aus einander abwechselnden n- und p-leitenden Gebieten, die sich in vertikaler Richtung erstrecken, in Aufbautechnik durch Mehrfachepitaxie mit jeweils nachfolgender Ionenimplantation und Diffusion beispielsweise in der so genannten CoolMOS-Technologie relativ aufwändig. Dagegen lassen sich bei Lateralstrukturen die einander abwechselnden n- und p-leitenden Gebiete im Vergleich zur Aufbautechnik der Vertikalstrukturen viel einfacher herstellen, indem auf einen Halbleiterwafer nacheinander n- und p-leitende Schichten durch Epitaxie aufgetragen werden. Anstelle einer Epitaxie kann gegebenenfalls auch eine Dotierung durch Implantation vorgenommen werden. Problematisch sind aber bei Lateralstrukturen die Anschlüsse von Source und Drain, da die die Kompensationsgebiete bildenden Schichten möglichst niederohmig mit Source bzw. Drain verbunden werden müssen, was bisher nur mit Hilfe einer aufwändigen Trenchtechnologie mit anschließender Füllung möglich ist.

Zusammenfassend ist also bei Vertikalstrukturen die Erzeugung der Driftstrecke sehr aufwändig, während bei Lateralstrukturen die Anschlüsse von Source und Drain erhebliche Probleme aufwerfen. Gerade aufgrund dieser Probleme werden bisher
5 lediglich Kompensationsbauelemente in Vertikalstruktur in größerem Umfang realisiert.

Aus der DE 100 26 924 A1 ist ein Kompensationsbauelement in Lateralstruktur der eingangs angeführten Art bekannt. Dieses
10 Kompensationsbauelement wird in der Weise hergestellt, dass mittels eines anisotropen Ätzmittels ein Trench in einen Halbleiterkörper eingebracht wird, sodann die Bodenfläche und die Seitenwände des Trenches abwechselnd mit p- und n-leitenden Schichten versehen werden, anschließend die auf die Ober-
15 fläche des Halbleiterkörpers dabei aufgetragenen Schichten in einem Planarisierungsschritt entfernt werden und schließlich der verbliebene Graben auf den Schichten mit einem Isolierstoff oder Silizium gefüllt wird. Diese zahlreichen Prozessschritte sind aufwändig und schwierig zu realisieren.

20 Es ist daher Aufgabe der vorliegenden Erfindung, ein Kompensationsbauelement anzugeben, das - obwohl in Lateralstruktur gestaltet - an Source und Drain einfach angeschlossen und dennoch ohne großen Aufwand herstellbar ist; außerdem soll
25 ein Verfahren zum Herstellen eines solchen Kompensationsbauelementes geschaffen werden.

Diese Aufgabe wird bei einem Kompensationsbauelement der eingangs genannten Art dadurch gelöst, dass der laterale
30 Abschnitt und der wenigstens eine schräge Abschnitt in den Halbleiterkörper eingebettet sind.

Das erfindungsgemäße Verfahren zum Herstellen des Kompensationsbauelementes zeichnet sich dadurch aus, dass wenigstens
35 Gebiete des einen und/oder des anderen Leitungstyps des lateralen Abschnitts und/oder des wenigstens einen schrägen Ab-

schnitts durch Ionenimplantation mittels einer Maske mit schrägen Kanten hergestellt werden.

5 Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Bei dem erfindungsgemäßen Kompensationsbauelement kann es sich um einen MOSFET, einen JFET (Junction-FET), eine Schottkydiode oder ein anderes Halbleiterbauelement handeln.

10

Der Halbleiterkörper kann aus Silizium, Siliziumcarbid, einem Verbindungshalbleiter oder einem sonstigen Halbleitermaterial hergestellt sein. Auch können der n-Leitfähigkeitstyp und der p-Leitfähigkeitstyp jeweils ausgetauscht werden. Das heißt,

15

bei beispielsweise einem MOSFET kann es sich um einen n-Kanal-Transistor oder um einen p-Kanal-Transistor handeln.

20

Weiterhin ist die Erfindung ohne weiteres auch auf integrierte Hochvolt-Halbleiterbauelemente anwendbar, wobei ohne weiteres für den Halbleiterkörper ein SOI-Material (SOI = Silicon-on-Insulator bzw. Silizium-auf-Isolator) angewendet werden kann.

25

Wird die Erfindung bei integrierten Hochvolt-Halbleiterbauelementen eingesetzt, so können in der integrierten Schaltung bereits vorhandene Halbleiterbauelemente vor dem Abscheiden der Implantationsmaske mit den schrägen Kanten durch eine dünne Schutzschicht, beispielsweise aus Siliziumnitrid, geschützt werden. Nach der Implantation zur Bildung des lateralen Abschnittes und des schrägen Abschnitts bzw. der schrägen Abschnitte kann dann die Implantationsmaske mit der Schutzschicht als Ätzstopp durch Ätzen abgetragen werden, ohne die vorhandenen Strukturen der integrierten Schaltung zu beeinträchtigen. Anschließend wird dann noch die Schutzschicht

30

35 entfernt.

Wesentlich an dem erfindungsgemäßen Verfahren ist, dass durch dieses aufwändige Prozessschritte vermieden werden können. Statt dieser Prozessschritte werden mehrfache Implantationen mit unterschiedlich hohen Energien, die beispielsweise bei einem MOSFET zumindest im Sourcebereich und im Gatebereich durch die Maske mit den schrägen Kanten erfolgen, vorgenommen. Dadurch folgen die durch diese Implantationen erzeugten Gebiete in ihrer Tiefe im Halbleiterkörper den schrägen Kanten der Maske, wobei die Implantationen im dickeren Bereich der Maske ganz abgeschirmt sind. Damit kann sowohl die Tiefe der auf diese Weise erzeugten n- bzw. p-leitenden Gebiete als auch die Dosis dieser Gebiete sehr genau kontrolliert bzw. gesteuert werden. Außerdem bleibt die ursprüngliche Oberfläche des Halbleiterkörpers in ihrer guten Qualität erhalten, so dass - wieder beim Beispiel eines MOSFETs - die Gate-Isolierschicht, das so genannte Gateoxid, ebenfalls in guter Qualität erzeugt werden kann. Schließlich ist es möglich, auf diese Weise die Driftstrecke durch die Implantationen bei der Herstellung des Halbleiterbauelementes erst spät im Prozessablauf zu dotieren, so dass im Wesentlichen nur noch ein Ausheilen der Implantationsschäden und Aktivieren der Dotierung, aber keine starke Diffusion der Dotierungsstoffe, mehr erforderlich sind. Dabei ist es sogar möglich, Source-, Gate- und Drainstrukturen mit Ausnahme der Metallisierung vor der Hochenergieimplantation zur Erzeugung der Driftstrecke praktisch fertig zu stellen und diese Strukturen bei der Hochenergieimplantation durch die Dickenbereiche der Maske zu schützen. Wird die Erfindung auf ein Hochvolt-Halbleiterbauelement in einer integrierten Schaltung angewendet, so können deren andere Strukturen, wie beispielsweise, Bipolartransistoren, Widerstände usw. vor der Hochenergieimplantation zur Erzeugung der Driftstrecke gebildet werden. Auf die dabei verwendbare Schutzschicht wurde bereits oben hingewiesen.

Wie bereits oben erläutert wurde, ist für die Durchführung des erfindungsgemäßen Verfahrens eine dicke Implantationsmaske mit schrägen Kanten, welche sich in der Form der durch sie bei der Implantation erzeugten Dotierungsgebiete abbilden, von wesentlicher Bedeutung. Diese Implantationsmaske kann ohne weiteres auf die folgende Weise hergestellt werden:

Zunächst wird auf einen Halbleiterkörper, bei dem es sich auch um eine SOI-Struktur handeln kann, eine Siliziumdioxidschicht durch Abscheidung aufgetragen und gegebenenfalls verdichtet. Es schließt sich sodann eine Damage-Implantation an, um an der Oberfläche dieser Siliziumdioxidschicht eine höhere Ätzrate zu erhalten. Sodann wird eine Fotolackschicht aufgetragen, belichtet und entwickelt, wobei diese Fotolackschicht mit etwas Überhang in solchen Bereichen stehen bleibt, in denen auch die Implantationsmaske verbleiben soll. Durch die entwickelte Fotolackschicht wird schließlich eine maskierte Nassätzung der Siliziumdioxidschicht vorgenommen, bei welcher die gewünschte Maskenstruktur mit den schrägen Kanten entsteht.

Anstelle einer Maske aus Siliziumdioxid kann auch eine Maske aus anderem Material, beispielsweise Siliziumnitrid, verwendet werden. Wesentlich ist lediglich, dass diese Maske schräge Kanten hat, welche entsprechend verlaufende Implantationsgebiete im Halbleiterkörper abbilden, und dass die Maske in ihrem dicken Bereich die Implantation sperrt.

Bei einem MOSFET müssen für den Drainanschluss die Dotierungsgebiete der Driftstrecke nicht selbst an die Oberfläche des Halbleiterkörpers geführt werden. Statt dessen können diese Dotierungsgebiete an ein entsprechend tief diffundiertes n-leitendes Gebiet (für einen n-Kanal-Transistor) oder p-dotiertes Gebiet (für einen p-Kanal-Transistor) angeschlossen werden. In diesem Fall kann im Drainbereich die Maske für die

Hochenergieimplantation wie für die Gebiete gleicher Leitfähigkeit in der Driftstrecke geöffnet bleiben.

5 In einer Weiterbildung der Erfindung ist es auch möglich, mehrere streifenförmige Bauelementestrukturen nebeneinander vorzusehen, indem sie - beim Beispiel eines Transistors - auf der Source- bzw. Drainseite jeweils gespiegelt ausgestaltet werden.

10 Weiterhin ist es möglich, die Dotierungsgebiete in der Driftstrecke für einen Leitungstyp, beispielsweise für die p-Dotierung, vor der Hochenergieimplantation als ein tief diffundiertes Gebiet einzubringen. In diesem Fall werden also lediglich die Dotierungsgebiete eines Leitungstyps, im vor-
15 liegenden Beispiel die Gebiete für die n-Dotierung, durch die Hochenergieimplantation mit der Implantationsmaske mit der schrägen Kante erzeugt. Diese durch Ionenimplantation eingebrachten Gebiete teilen dann das tief diffundierte Gebiet in mehrere einzelne Dotierungsgebiete auf, so dass insgesamt die
20 gewünschte Struktur miteinander abwechselnd dotierten Schichten entsteht.

25 Für die p-Dotierung kann in vorteilhafter Weise Bor eingesetzt werden. Die n-Dotierung kann beispielsweise mittels Phosphor oder Arsen oder aber auch durch Protonenbestrahlung und nachfolgende Temperung bei einer Temperatur zwischen 400 und 500°C erzeugt werden.

30 Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1A - 1D Schnittbilder mit einem Halbleiterkörper zur Erläuterung eines ersten Ausführungsbeispiels der Erfindung,

Fig. 2A - 2D Schnittbilder durch einen MOSFET als einem
weiteren Ausführungsbeispiel der Erfindung,

Fig. 3A und 3B Draufsichten auf den MOSFET der Fig. 2A bis
2D,

Fig. 3C eine Variante zu der Ausführungsform der
Fig. 3A und 3B, wobei hier mehrere Gatee-
lektroden durch eine Verbindung zusammenge-
fasst und an einen gemeinsamen Anschluss ge-
führt sind,

Fig. 4A - 4C Schnittbilder zur Erläuterung weiterer Aus-
führungsbeispiele der Erfindung und

Fig. 5A - 5C Schnittbilder mit einem Halbleiterkörper zur
Erläuterung eines weiteren Ausführungsbei-
spiels für das erfindungsgemäße Verfahren.

Die Lage der Querschnitte der Fig. 2A - 2D ist in den Fig. 3A
und 3B mit A (durch eine Sourceelektrode für die Fig. 2A), B
(durch ein Kanalgebiet für die Fig. 2B), C (durch die gesamte
Driftstrecke für die Fig. 2C) und D (senkrecht zu den anderen
Querschnitten durch Gate- und Sourcebereich für die Fig. 2D)
angegeben.

Fig. 1A zeigt einen Halbleiterkörper 1, bei dem es sich bei-
spielsweise um ein Siliziumsubstrat oder um eine SOI-Struktur
handeln kann. Dieser Halbleiterkörper 1 weist eine niedrige
n- oder p-Dotierung auf. Auf dem Halbleiterkörper 1 ist eine
Implantationsmaske 2 aus beispielsweise Siliziumdioxid vorge-
sehen. Wesentlich ist, dass diese Implantationsmaske 2 in
einer Öffnung 3 schräge Kanten 4 besitzt und so dick ist,
dass sie in ihrem dicken Bereich eine Implantation abschirmen
kann.

Gegebenenfalls kann auf dem Halbleiterkörper 1 auch eine Schutzschicht aus beispielsweise Siliziumnitrid vorgesehen sein, die die Implantation nicht beeinträchtigt und es erlaubt, die Maske 2 später ohne Beeinträchtigung bereits bestehender Strukturen wieder zu entfernen. Diese Schutzschicht ist durch eine Strichlinie 16 angedeutet.

Ein Herstellungsverfahren für diese Implantationsmaske 2 wurde bereits eingangs erläutert. Es sind aber auch andere Herstellungsverfahren möglich, sofern diese die schrägen Kanten 4 liefern.

Fig. 1B zeigt die Anordnung von Fig. 1A, nachdem mehrere Implantationen durch die Öffnung 3 der Maske 2 bzw. durch die Maske 2 im Bereich der schrägen Kanten 4 vorgenommen wurden. Für diese Implantationen werden Bor für p-Dotierung bzw. Phosphor oder Arsen oder eine Protonenbestrahlung und nachfolgende Temperung bei 400 bis 500°C für n-Dotierung verwendet. Ist beispielsweise der Halbleiterkörper 1 schwach n-dotiert, so werden durch die Implantationen p-dotierte Gebiete 5 und n-dotierte Gebiete 6 geschaffen. Deutlich ist aus der Fig. 1b zu sehen, wie sich die schräge Kante 4 der Implantationsmaske 2 in dem Verlauf der Gebiete 5 und 6 abbildet. Die tiefer liegenden Gebiete 5 bzw. 6 werden mit höheren Energien als die weiter zur Oberfläche gelegenen Gebiete 5 und 6 in den Halbleiterkörper 1 durch die Ionenimplantation eingebracht.

In Fig. 1C ist die Anordnung von Fig. 1B nach Entfernen der Implantationsmaske 2 dargestellt. Dieses Entfernen kann mit einem geeigneten Ätzmittel vorgenommen werden, welches das Material der Implantationsmaske 2, also insbesondere Siliziumdioxid, abträgt, den Halbleiterkörper 1 bzw. dessen Implantationsgebiete jedoch nicht angreift.

Anschließend werden, wie in Fig. 1D gezeigt ist, Dotierungsgebiete für eine n-dotierte Drainzone 7, eine p-dotierte Kanalzone 9 und eine n-dotierte Sourcezone 8 in üblicher Weise eingebracht.

5

Es kann also durch Diffusion oder Implantation mit nachfolgender Temperaturbehandlung erfolgen. Dabei wird beispielsweise zunächst die Kanalzone 9 eindiffundiert, woran sich ein weiterer Diffusionsschritt zur Bildung der Zonen 7, 8 anschließt.

10

Es sei ausdrücklich vermerkt, dass die Zonen 7, 8, 9 auch vor Bildung der Gebiete 5, 6 durch die Implantationen erzeugt werden können. Mit anderen Worten, es werden dann zuerst die Zonen 7, 8, 9 im Halbleiterkörper 1 gebildet. Erst anschließend erfolgen dann die Implantationen mit unterschiedlichen Energien für die Erzeugung der Gebiete 5, 6.

15

Die Fig. 2A bis 2D sowie 3A bis 3D zeigen Querschnitte (Fig. 2A bis 2D) bzw. Draufsichten (Fig. 3A bis 3C) auf einen MOSFET als ein Ausführungsbeispiel des erfindungsgemäßen Halbleiterbauelementes bzw. eines nach dem erfindungsgemäßen Verfahren hergestellten MOSFETs. Dieser MOSFET hat zusätzlich zu der Darstellung von Fig. 1D noch eine Sourceelektrode 10, eine Drainelektrode 11, eine Isolierschicht 12 aus beispielsweise Siliziumdioxid und eine Gateelektrode 13 aus insbesondere dotiertem polykristallinem Silizium.

20

25

In den Draufsichten der Fig. 3A und 3B ist zur Verdeutlichung der Darstellung die Metallisierung für die Sourceelektrode 10 und die Drainelektrode 11 lediglich in den Kontaktlöchern gezeigt. Ebenso ist in Fig. 3B die Gateelektrode 13 weggelassen, um die darunterliegenden Dotierungsgebiete 5, 6 bzw. Teile der Zonen 8 und 9 sichtbar zu machen.

30

35

Aus der Fig. 3C ist ersichtlich, wie mehrere Gateelektroden 13 zu einem gemeinsamen Anschluss 14 geführt werden können. Dieser gemeinsame Anschluss 14 kann wie die Gateelektroden 13 aus polykristallinem Silizium bestehen. Für die Metallisierungen selbst, also für die Sourceelektrode 10 und die Drainelektrode 11 kann beispielsweise Aluminium verwendet werden.

Die Dotierungsgebiete 5, 6 der Driftstrecke müssen nicht beidseitig bis in den Bereich der Oberfläche des Halbleiterkörpers 1 geführt werden, wie dies noch in den Fig. 1 und 2 dargestellt ist. Vielmehr können diese Dotierungsgebiete 5, 6 der Driftstrecke auch an ein entsprechend tief diffundiertes Gebiet (beispielsweise eine tief diffundierte Drainzone 7' angeschlossen werden, wie dies in dem Schnittbild von Fig. 4A (entsprechend Fig. 2C, jedoch ohne Sourceelektrode 10) gezeigt ist. Bei einem derartigen Ausführungsbeispiel kann im Bereich der Drainelektrode 11 die Implantationsmaske 2 für die Hochenergieimplantation wie in der Driftstrecke (entsprechend der Öffnung 3) geöffnet bleiben. Die schräge Kante 4 der Implantationsmaske 2 wird hier nur im Bereich unterhalb der Gateelektrode 13 bzw. im Bereich der Sourceelektrode benötigt.

Die Fig. 4B und 4C zeigen Ausführungsbeispiele, bei denen mehrere streifenförmige Bauelementstrukturen mit Driftstrecken nebeneinander angeordnet sind, indem diese jeweils auf der Sourceseite (vgl. Fig. 4B) bzw. auf der Drainseite (vgl. Fig. 4C) gespiegelt strukturiert sind. Auf diese Weise liegt im Ausführungsbeispiel von Fig. 4B eine gemeinsame Gateelektrode 13' vor, während das Ausführungsbeispiel von Fig. 4C eine gemeinsame Drainelektrode 11' für jeweils die beiden spiegelbildlichen Strukturen hat. Selbstverständlich können in beiden Ausführungsbeispielen der Fig. 4B und 4C die jeweiligen tief diffundierten Gebiete der Drainzonen 7' durch Drainzonen 7 entsprechend dem Ausführungsbeispiel der Fig. 2 ersetzt werden, so dass die Driftstrecke angrenzend an den

lateralen Abschnitt auf beiden Seiten einen schräg zur Oberfläche verlaufenden Abschnitt hat.

Die Fig. 5A bis 5C zeigen ein weiteres Ausführungsbeispiel
5 des erfindungsgemäßen Verfahrens.

Bei diesem Ausführungsbeispiel wird vor der Hochenergieimplantation durch die Implantationsmaske 2 mit den schrägen Kanten 4 und der Öffnung 3 in den beispielsweise n⁻-dotierten Halbleiterkörper 1 ein tief diffundiertes p-leitendes Gebiet
10 15 noch vor Herstellung der ebenfalls tief diffundierten Drainzone 7' und vor Auftragen der Implantationsmaske 2 in den Halbleiterkörper 1 eingebracht. Nach Herstellung der Implantationsmaske 2 liegt dann die in Fig. 5A gezeigte
15 Struktur vor.

Durch die Implantationsmaske 2 werden dann mittels Hochenergieimplantation nur die Dotierungsgebiete des zum Leitungstyp des Gebietes 15 entgegengesetzten Leitungstyps, im vorliegenden Fall also die n-dotierten Gebiete 6 eingebracht. Diese
20 Gebiete 6 teilen dann das tief diffundierte Gebiet 15 in verschiedene Bereiche auf, wie dies in Fig. 5A gezeigt ist. Infolge der schrägen Kante 4 haben die Gebiete 6 einen lateralen Abschnitt im Bereich der Öffnung 3 und einen schräg zur
25 Oberfläche verlaufenden Abschnitt im Bereich der Kante 4. Gleiches gilt für die durch diese Gebiete 6 unterteilten Bereiche des tief diffundierten Gebietes 15.

In Fig. 5C ist schließlich das fertige Halbleiterbauelement
30 mit der Drainelektrode 11 und der Gateelektrode 13 (entsprechend Fig. 4A) dargestellt.

Wesentlich an der vorliegenden Erfindung ist also, dass die Driftstrecke einen lateralen Abschnitt und wenigstens einen
35 schräg zur Oberfläche verlaufenden Abschnitt aus jeweils den Gebieten 5, 6 hat. Diese beiden Abschnitte sind dabei voll-

kommen in den Halbleiterkörper 1 eingebettet und nicht - wie
beim Stand der Technik - um den Rand eines Trenches geführt.

Patentansprüche

1. Kompensationsbauelement mit einer in einen Halbleiterkörper (1) zwischen zwei aktiven Zonen (8, 7) vorgesehenen Driftstrecke, bestehend aus einer gestapelten Schichtenfolge (5, 6) aus Gebieten des einen (6) und des anderen (5) Leitungstyps, die einen lateralen Abschnitt und wenigstens einen in Richtung zur Oberfläche des Halbleiterkörpers (1) geführten und an ein Ende des lateralen Abschnitts angrenzenden schrägen Abschnitt haben,
dadurch gekennzeichnet,
dass der laterale Abschnitt und der wenigstens eine schräge Abschnitt in den Halbleiterkörper eingebettet sind.
2. Kompensationsbauelement nach Anspruch 1,
dadurch gekennzeichnet,
dass an beiden Enden des lateralen Abschnitts jeweils ein schräger Abschnitt vorgesehen ist.
3. Kompensationsbauelement nach Anspruch 1,
dadurch gekennzeichnet,
dass an dem zu dem einen schrägen Abschnitt gegenüberliegenden Ende des lateralen Abschnitts die Gebiete (6) des einen Leitungstyps an ein tief eingebrachtes Gebiet (7') des einen Leitungstyps als die eine aktive Zone (7) angeschlossen sind.
4. Kompensationsbauelement nach Anspruch 3,
dadurch gekennzeichnet,
dass das tief eingebrachte Gebiet (7') eine Drainzone ist.
5. Kompensationsbauelement nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet,
dass die gestapelten Schichtfolgen zu wenigstens einer der beiden aktiven Zonen (8, 7) spiegelbildlich angeordnet sind.

6. Kompensationsbauelement nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,
dass als Dotierstoff des einen Leitungstyps Phosphor oder
Arsen oder eine Dotierung durch eine Protonenbestrahlung
5 vorgesehen ist.

7. Kompensationsbauelement nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet,
dass als Dotierstoff für den anderen Leitungstyp Bor vorgese-
10 hen ist.

8. Kompensationsbauelement nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet,
dass der Halbleiterkörper (1) in einer SOI-Struktur vorgese-
15 hen ist.

9. Kompensationsbauelement nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet,
dass es ein MOSFET, ein JFET, ein IGBT oder eine Schottkydio-
20 de ist.

10. Kompensationsbauelement nach Anspruch 9,
dadurch gekennzeichnet,
dass wenigstens zwei Gateelektroden (13) durch eine Verbin-
25 dung zusammengefasst und mit einem gemeinsamen Anschluss (14)
verbunden sind.

11. Kompensationsbauelement nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet,
30 dass nur Gebiete (6) eines Leitungstyps in ein tief diffun-
diertes Gebiet (15) des anderen Leitungstyps in der Drift-
strecke eingebracht sind.

12. Verfahren zum Herstellen des Kompensationsbauelementes
35 nach einem der Ansprüche 1 bis 11,
dadurch gekennzeichnet,

dass wenigstens Gebiete (6, 5) des einen und/oder des anderen Leitungstyps des lateralen Abschnitts und des schrägen Abschnitts der Driftstrecke durch Ionenimplantationen mittels einer Maske (2) mit schrägen Kanten (4) hergestellt werden.

5

13. Verfahren nach Anspruch 12,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Ionenimplantationen mit unterschiedlich hohen Energien vorgenommen werden.

10

14. Verfahren nach Anspruch 12 oder 13,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Gebiete (5) des anderen Leitungstyps durch Diffusion eines gemeinsamen tief diffundierten Gebietes (15) in den
15 Halbleiterkörper (1) eingebracht werden.

15. Verfahren nach einem der Ansprüche 12 bis 14,
d a d u r c h g e k e n n z e i c h n e t ,
dass zum Herstellen der Maske (2)

- 20 (a) eine insbesondere aus Siliziumdioxid bestehende Isolierschicht auf den Halbleiterkörper (1) aufgebracht wird,
(c) im Oberflächenbereich der Isolierschicht eine Damage-Implantation vorgenommen wird,
(d) auf die Isolierschicht eine Fotolackschicht aufgebracht,
25 belichtet und entwickelt wird, und
(e) eine durch die so behandelte Fotolackschicht maskierte Nassätzung der Isolierschicht vorgenommen wird.

16. Verfahren nach Anspruch 15,

- 30 d a d u r c h g e k e n n z e i c h n e t ,
dass vor Schritt (c)
(b) die Isolierschicht verdichtet wird.

17. Verfahren nach einem der Ansprüche 12 bis 16,

- 35 d a d u r c h g e k e n n z e i c h n e t ,

dass die aktiven Zonen (8, 7) vor der Ionenimplantation in den Halbleiterkörper (1) eingebracht werden.

18. Verfahren nach einem der Ansprüche 12 bis 17,

5 d a d u r c h g e k e n n z e i c h n e t ,
dass die Maske (2) auf eine auf dem Halbleiterkörper (1) befindliche Schutzschicht (16), die insbesondere aus Siliziumnitrid besteht, aufgebracht wird, so dass die Maske (2) ohne Beeinträchtigung bereits bestehender Strukturen wieder
10 abgenommen werden kann.

Zusammenfassung

Kompensationsbauelement und Verfahren zu dessen Herstellung

- 5 Die Erfindung betrifft ein Kompensationsbauelement, bei dem ein lateraler Abschnitt und wenigstens an einem Ende des lateralen Abschnittes ein schräg zur Oberfläche verlaufender Abschnitt einer Driftstrecke mit n- und p-leitenden Gebieten (6, 5) vollständig in einen Halbleiterkörper (1) ohne Trench
- 10 eingebettet sind. Dabei wird der schräg verlaufende Abschnitt durch Ionenimplantation durch eine Implantationsmaske (2) mit schräger Kante (4) vorgenommen.

(Fig. 1B)

Bezugszeichenliste

1	Halbleiterkörper
2	Implantationsmaske
3	Öffnung der Maske
4	schräge Kante der Maske
5	p-dotierte Gebiete
6	n-dotierte Gebiete
7, 7'	Drainzone
8	Sourcezone
9	Kanalzone
10	Sourceelektrode
11, 11'	Drainelektrode
12	Isolierschicht
13, 13'	Gateelektrode
14	gemeinsamer Anschluss
15	tief diffundiertes Gebiet
16	Schutzschicht

FIG 1A

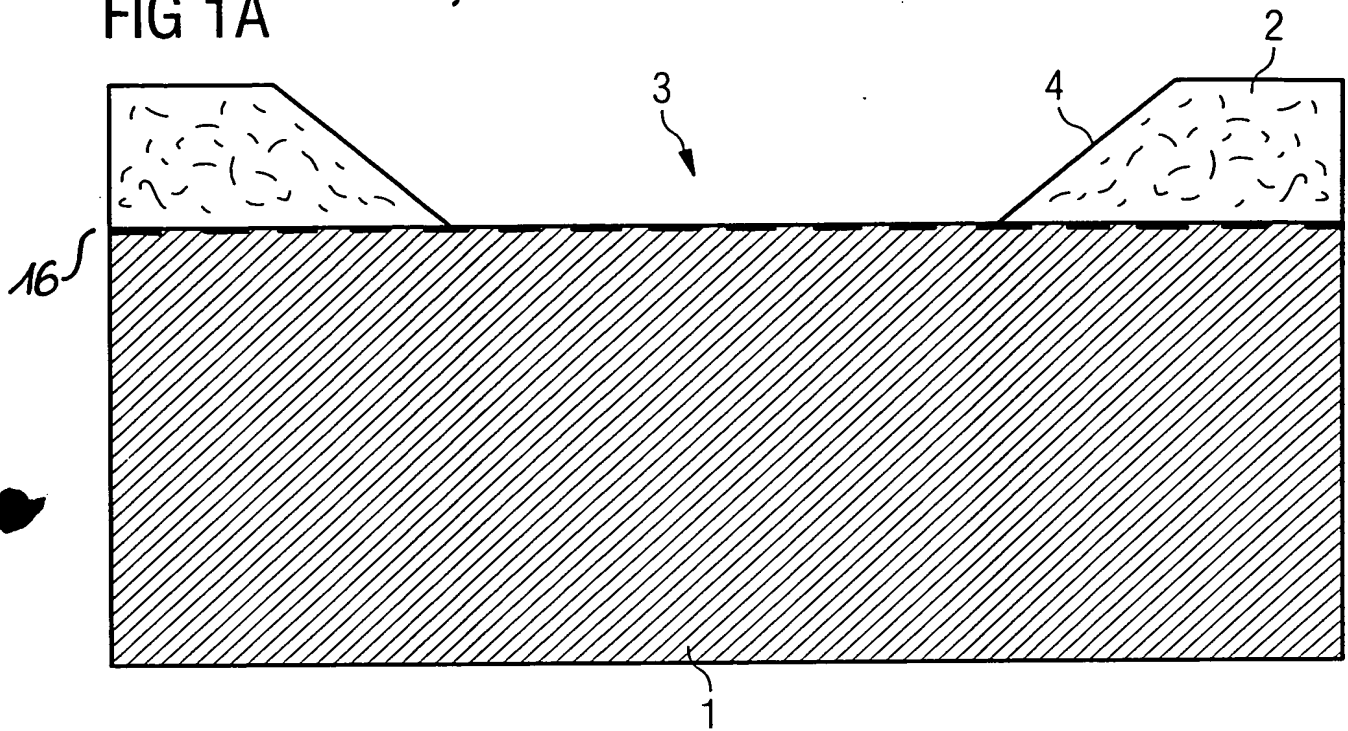


FIG 1B

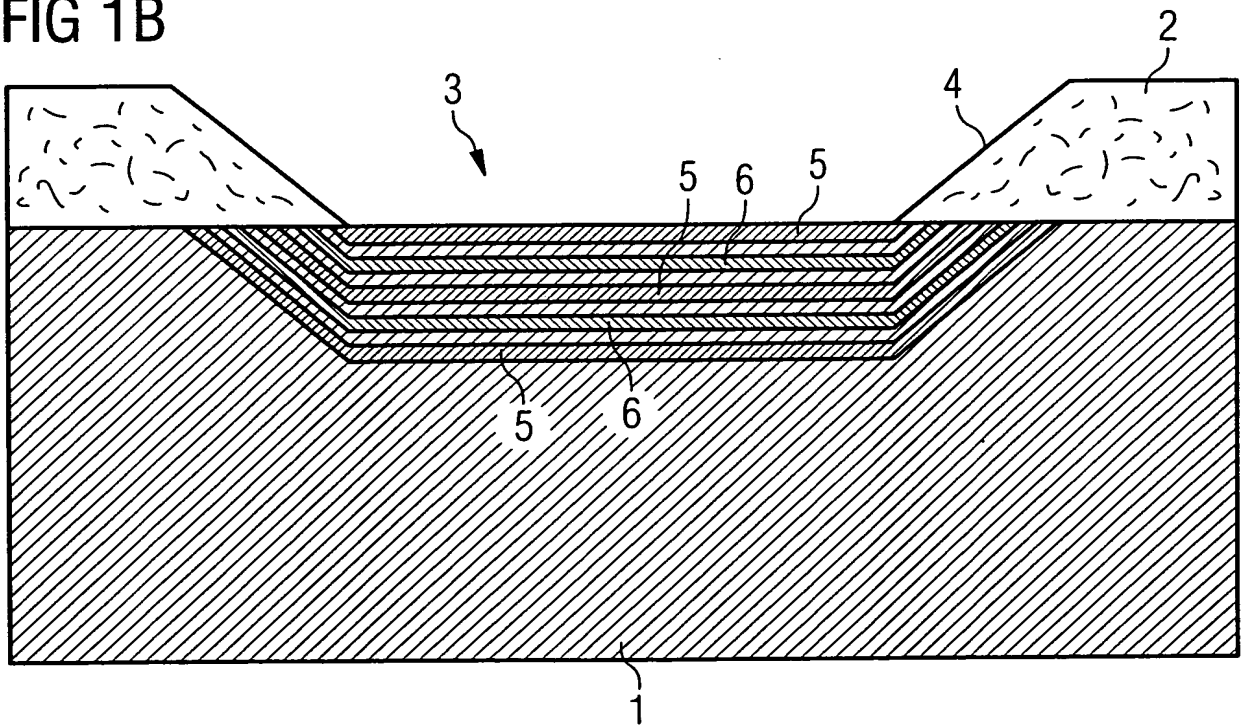


FIG 1C

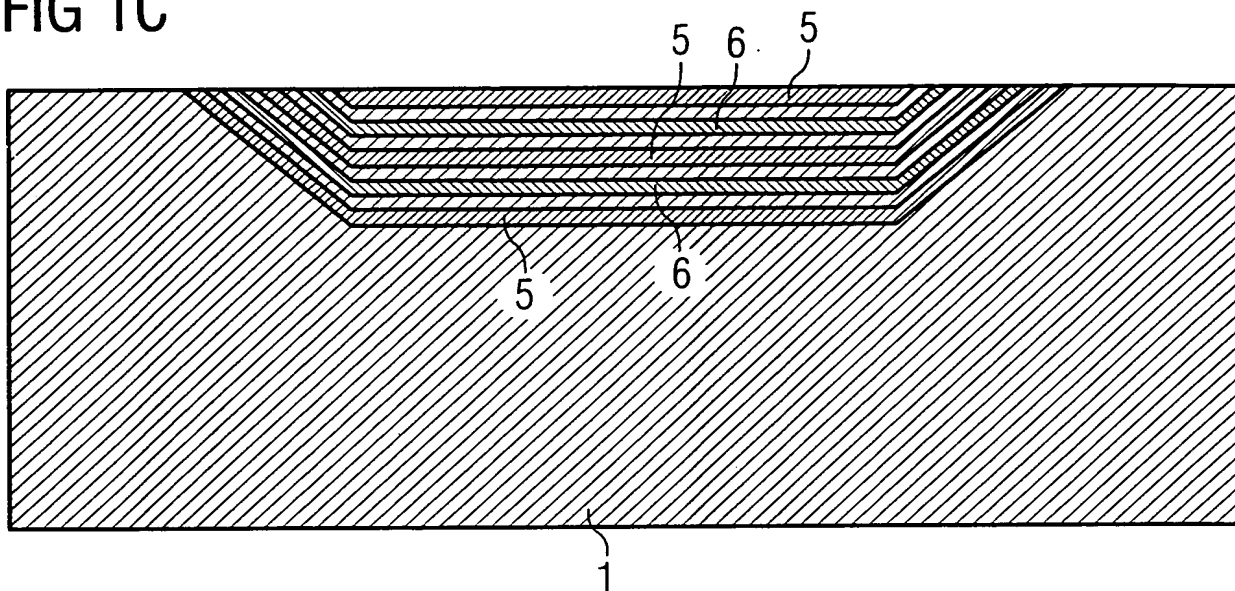


FIG 1D

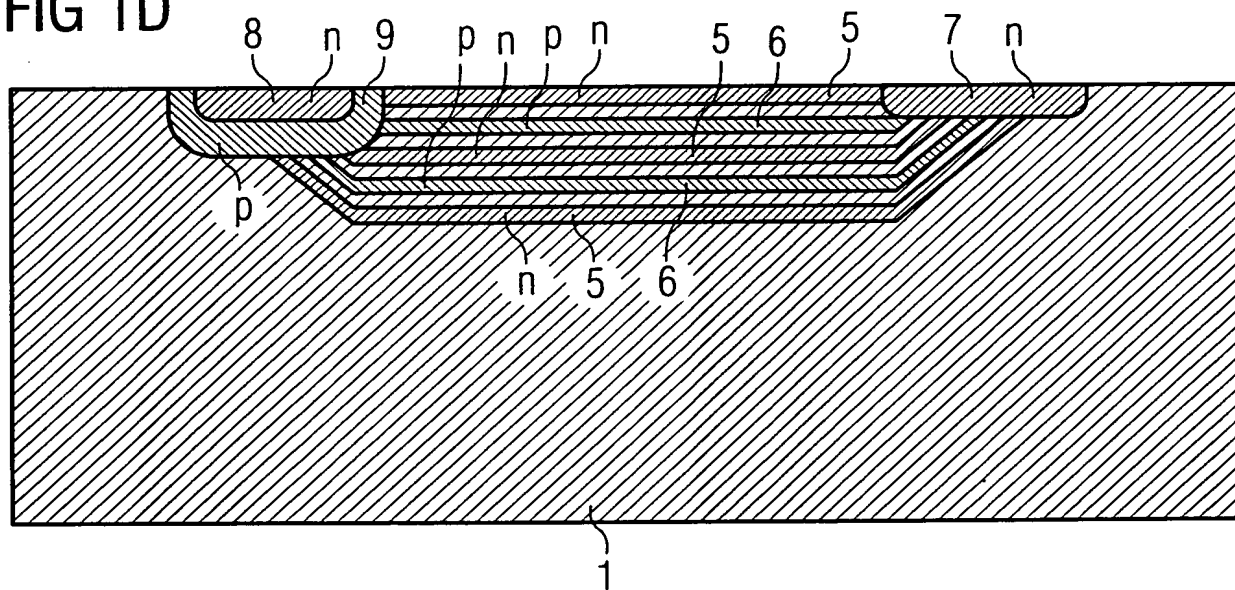


FIG 2A

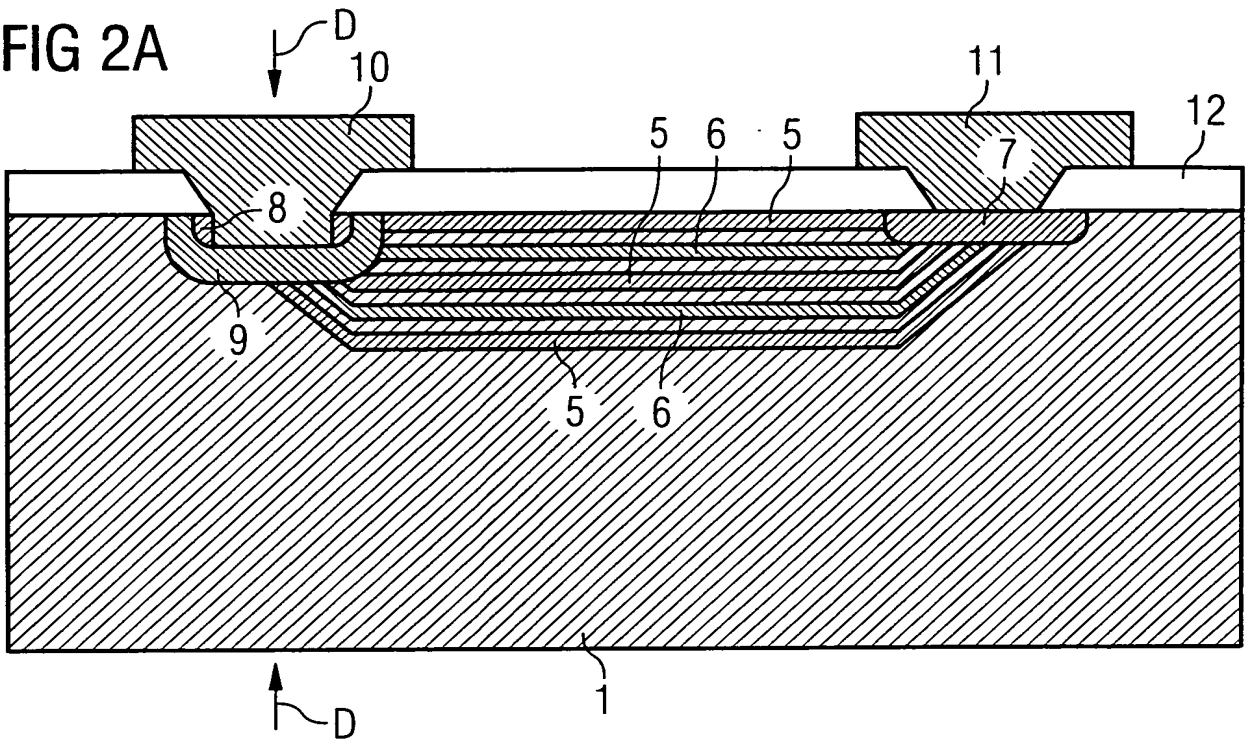


FIG 2B

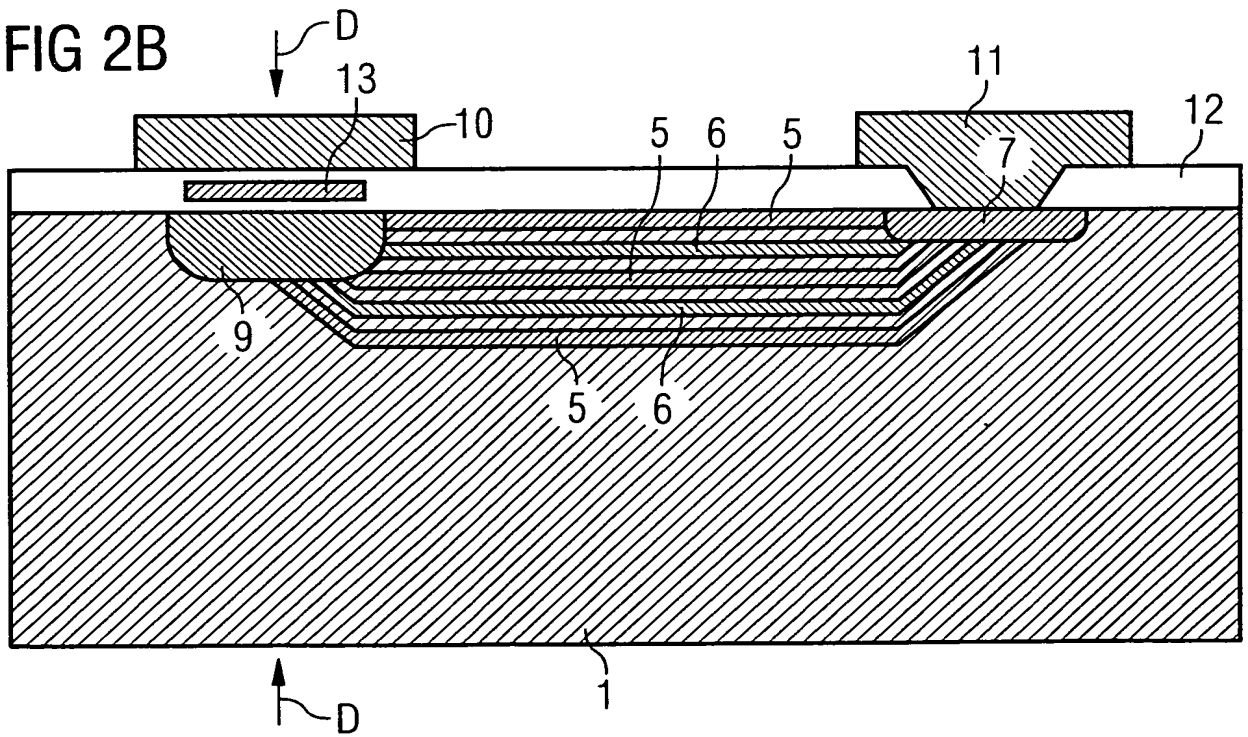


FIG 2C

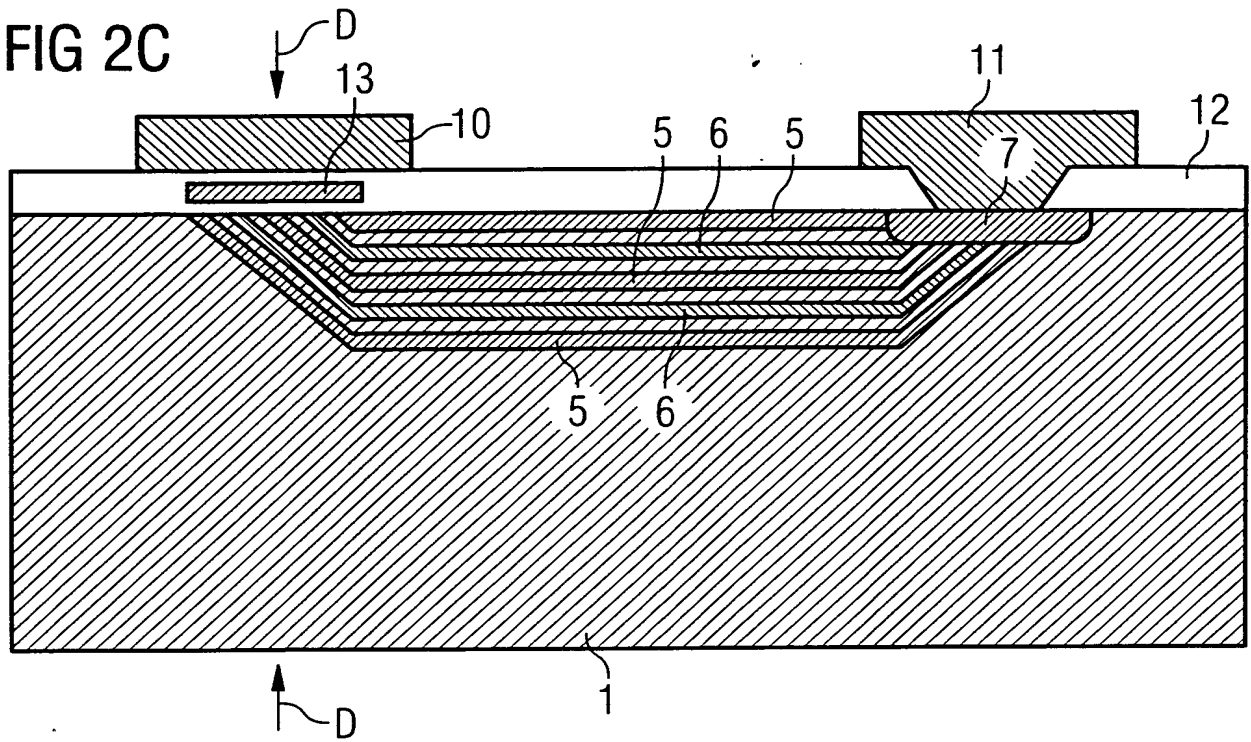


FIG 2D

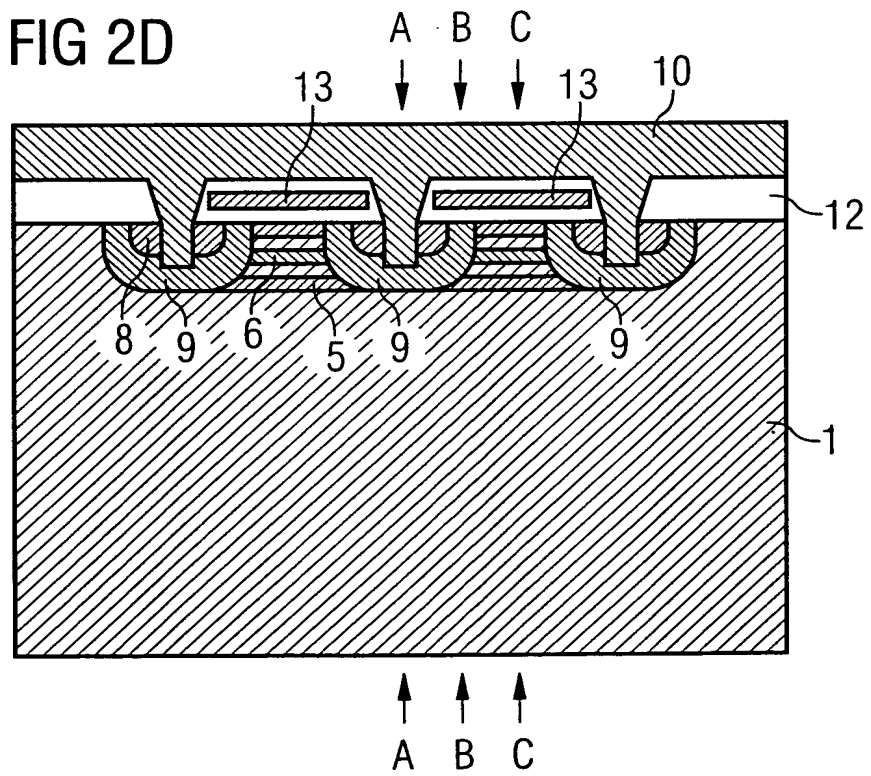


FIG 3A

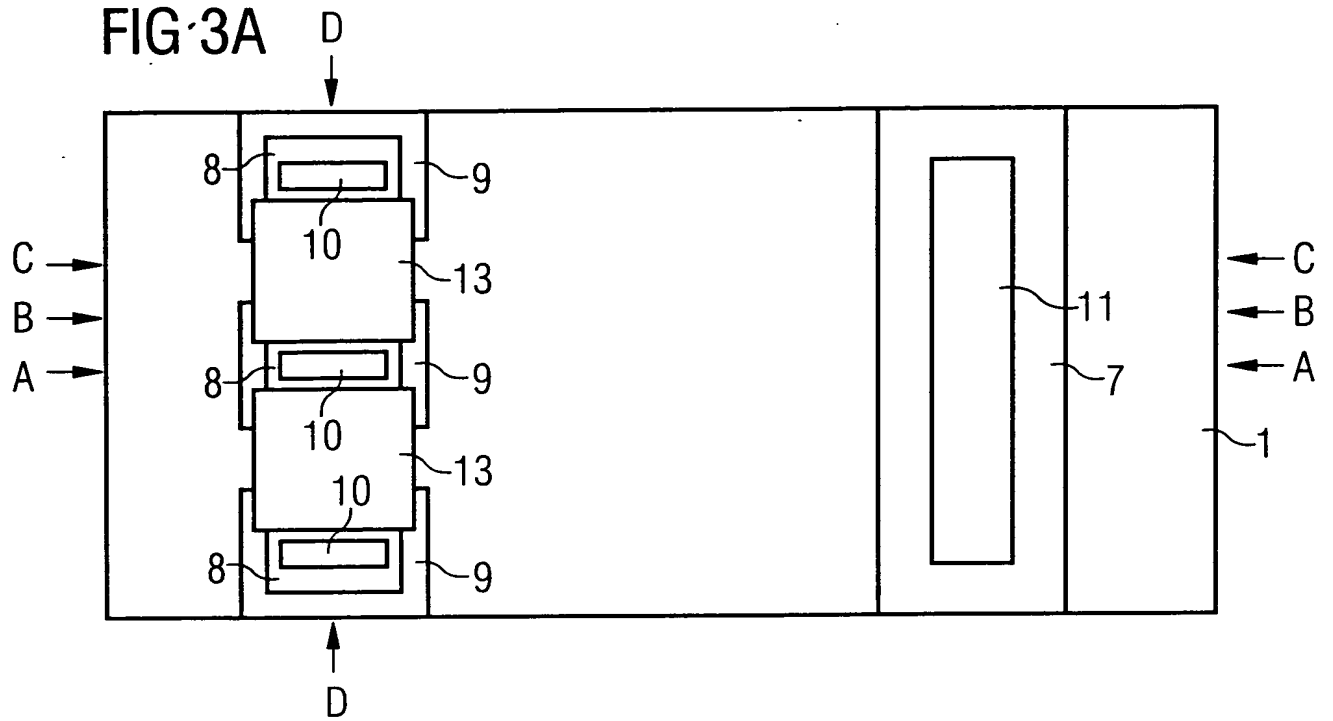


FIG 3B

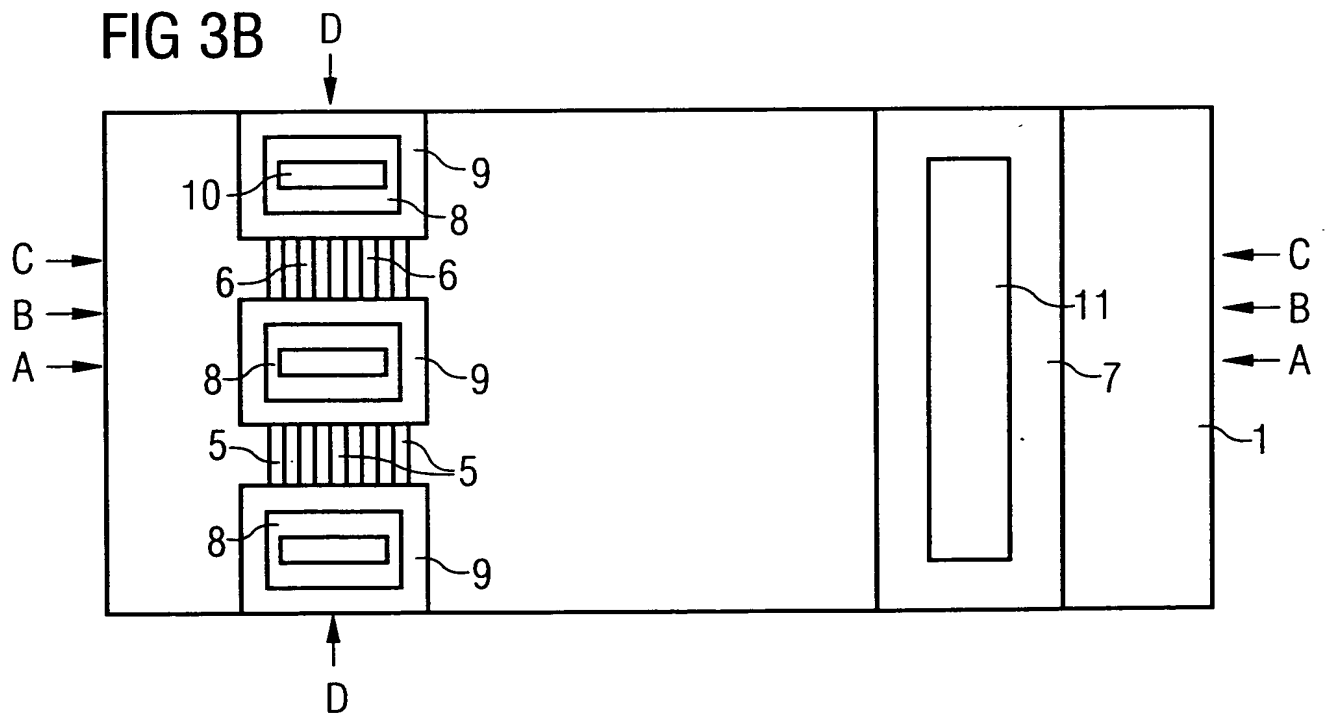


FIG 3C

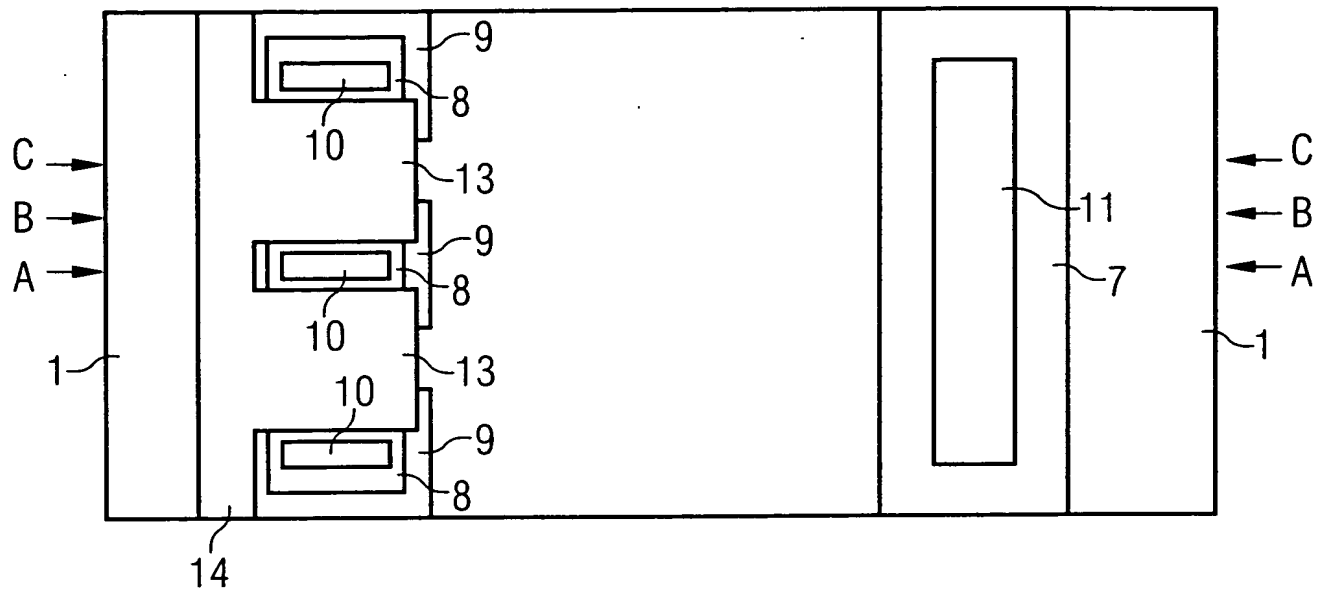


FIG 4A

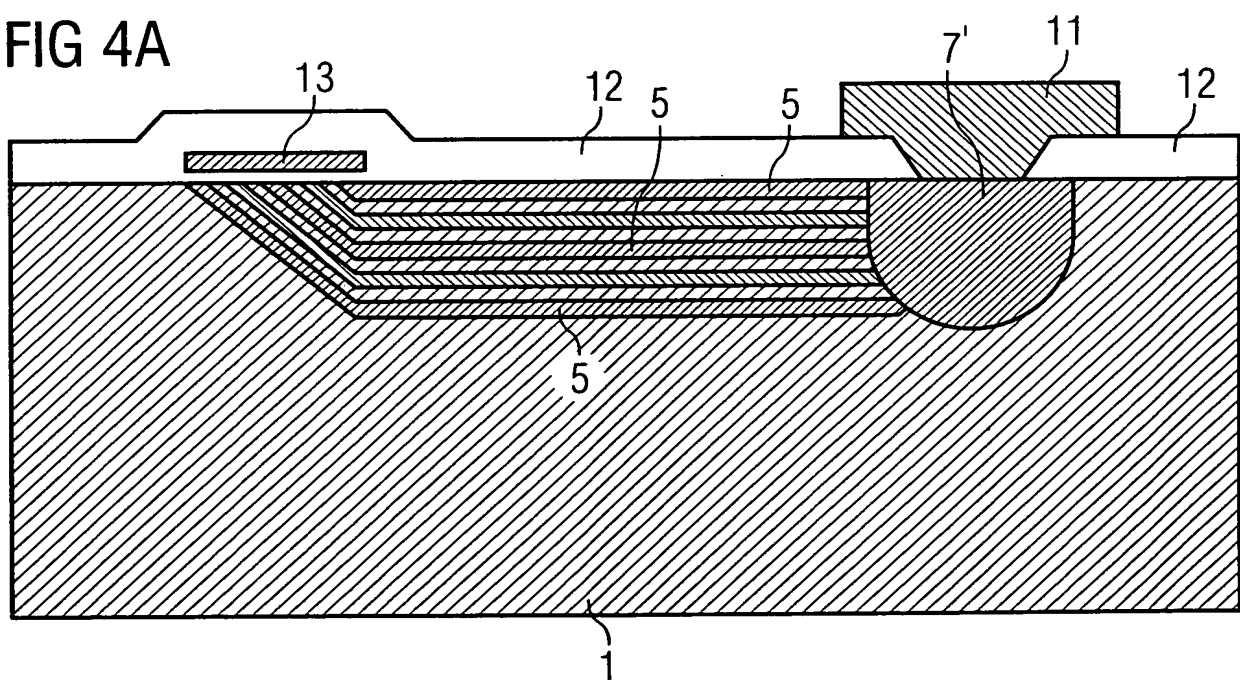


FIG 4B

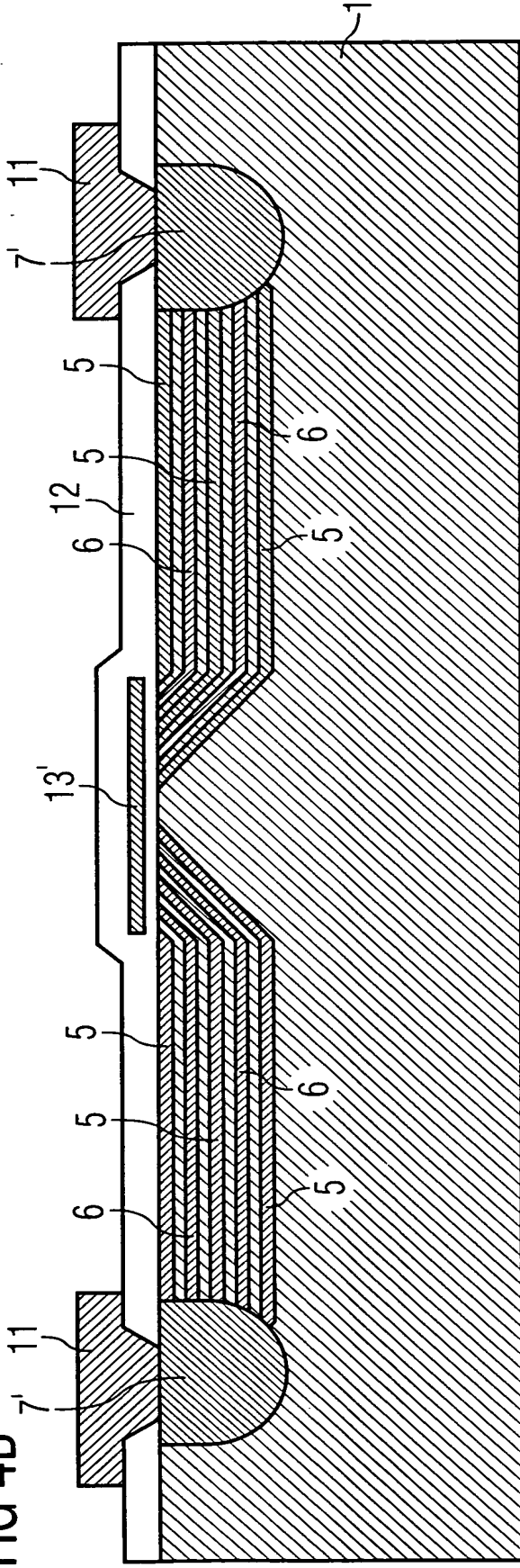


FIG 4C

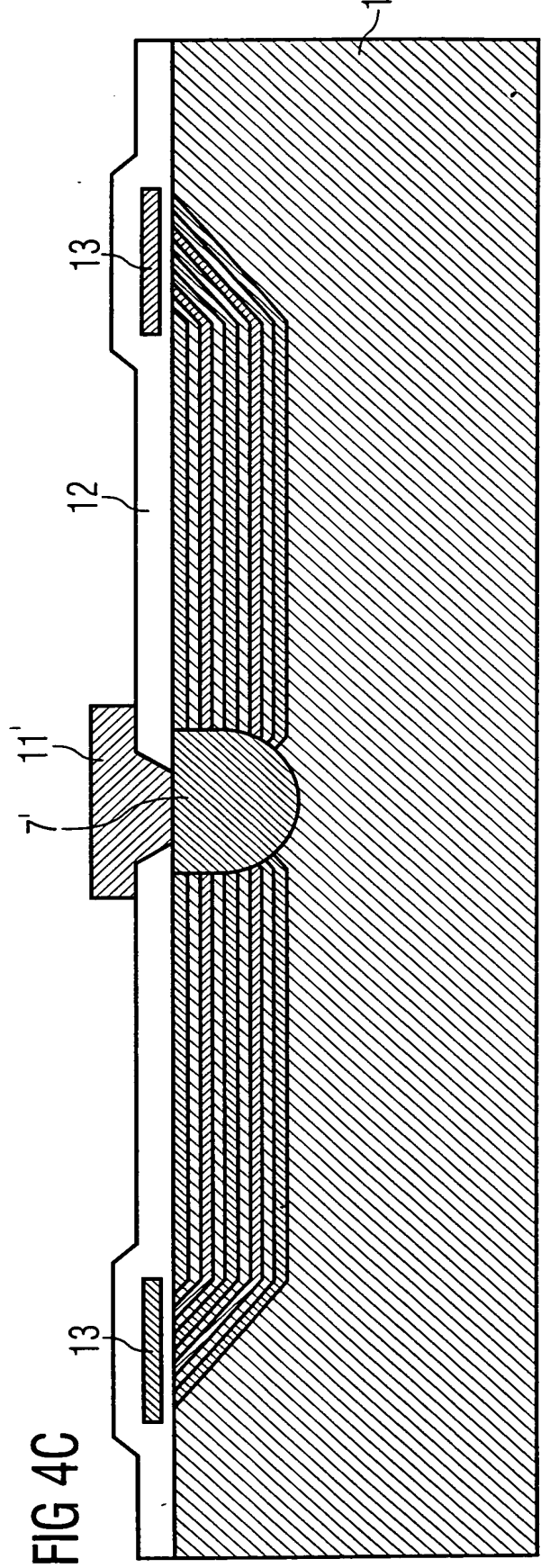


FIG 5A

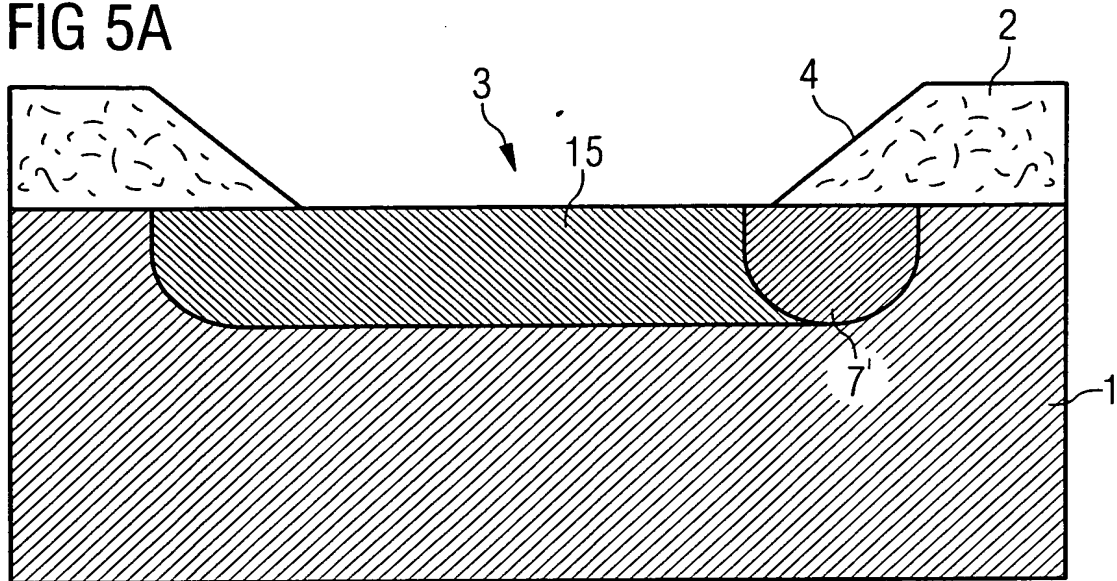


FIG 5B

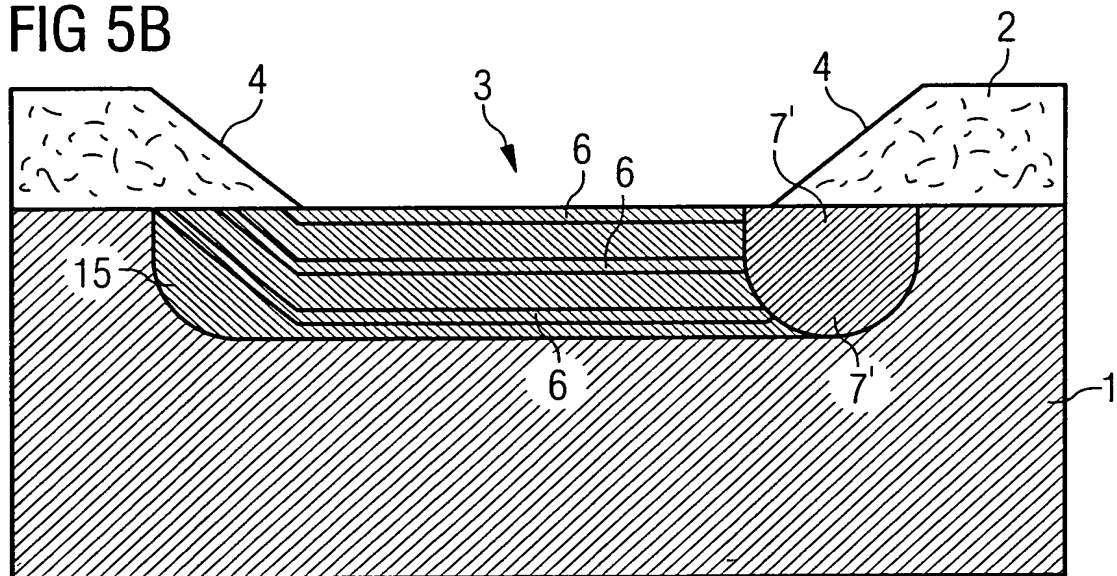
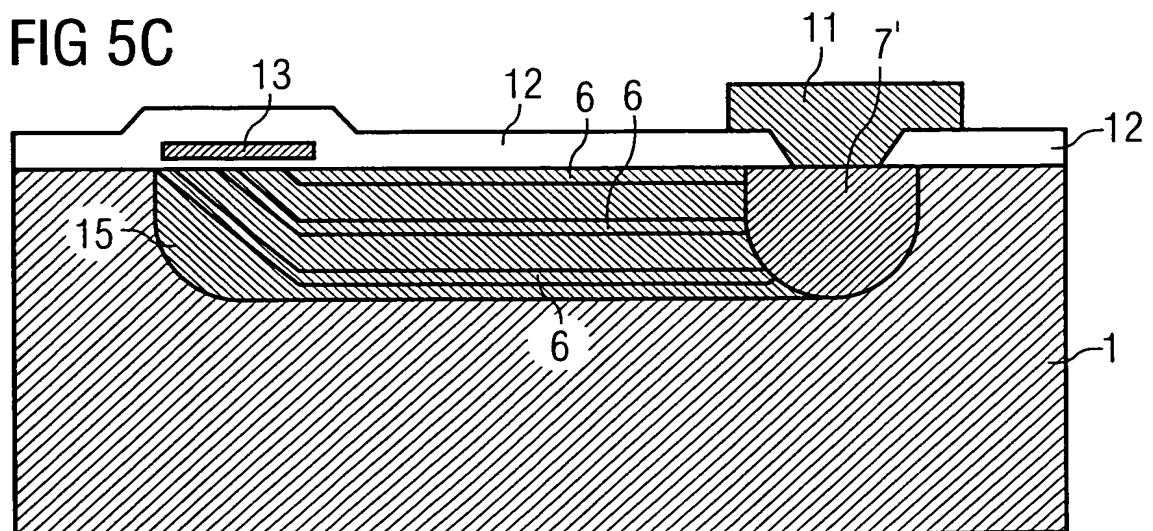


FIG 5C



Figur für die Zusammenfassung

FIG 1B

